

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-135809

(43)Date of publication of application : 24.05.1990

(51)Int.Cl. H03F 1/52

(21)Application number : 63-290440

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 16.11.1988

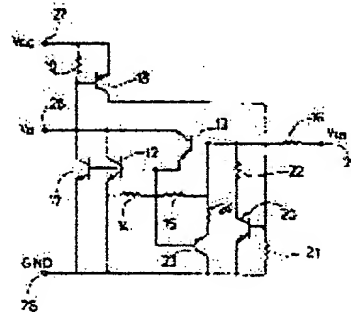
(72)Inventor : MORIMOTO YOSHIHIDE
SHIGETA YASUTSUGU

(54) DRIVER CIRCUIT

(57)Abstract:

PURPOSE: To prevent deterioration or destruction due to an overcurrent by controlling the base of the 1st stage transistor (TR) in response to a current flowing to a detection TR having a base, emitter common region smaller than the area of a base-emitter junction region of an output stage TR.

CONSTITUTION: If an overcurrent is caused at an output due to short-circuit of a load, since a base potential of an NPN TR 12 at the output stage rises, an NPN TR 17 for overcurrent detection is turned on. Thus, a voltage drop of a resistor 19 is increased, a PNP TR 18 is turned on and then an NPN TR 20 for control is also turned on. Since the base level of the NPN TR 13 at the 1st stage is lowered, the overcurrent flowing to the NPN TR 12 at the output stage is suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平2-135809

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月24日

H 03 F 1/52

Z

6707-5J

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 ドライバー回路

⑮ 特 願 昭63-290440

⑯ 出 願 昭63(1988)11月16日

⑰ 発 明 者 森 本 芳 秀 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑱ 発 明 者 魚 田 泰 嗣 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
 ⑳ 代 理 人 弁理士 西野 卓 嗣 外1名

明 細 書

1. 発明の名称

ドライバ回路

2. 特許請求の範囲

(1) 初段トランジスタと出力段トランジスタとをダーリントン接続して成るドライバ回路において、

前記出力段トランジスタとベース及びエミッタが共通接続され、前記出力段トランジスタのベース・エミッタ接合領域の面積よりも小なるベース・エミッタ接合領域を有する検出トランジスタと、

該検出トランジスタに流れる電流に応じて、前記初段トランジスタのベースを制御する制御回路とを備えることを特徴とするドライバ回路。

(2) 初段トランジスタと出力段トランジスタとをダーリントン接続して成るドライバ回路において、

エミッタが抵抗を介して前記初段トランジスタのベースに接続され、ベースが前記初段トランジ

スタのエミッタに接続された保護トランジスタを設け、該保護トランジスタのベース・エミッタ接合領域の面積を前記初段トランジスタのそれよりも小としたことを特徴とするドライバ回路。

3. 発明の詳細な説明

(1) 産業上の利用分野

本発明はダーリントン接続されたトランジスタからなるドライバ回路に関し、更に詳しく言えば過電流に対する保護機能を有するドライバ回路に関するものである。

(2) 従来の技術

ダーリントン接続のトランジスタからなるドライバ回路の出力段トランジスタには、ドライバ本来の機能として、ある程度の量の電流が流れることが予定されている。従って所定の電流が流れる限り、トランジスタが劣化、又は破壊されないように設計されている。

しかし、実際には取扱いを誤って、出力が短絡されて短絡電流が流れたり、あるいは外部から出力に大電流が流れ込み、出力トランジスタが破壊

特開平 2-135809 (2)

されることがある。通常のドライバー回路においては、出力トランジスタのパターン面積を大きくすることにより（オーバーデザイン）、かかる大電流が流れても十分に対応できるようにしている。しかし、オーバーデザインにより対応する方法によれば、半導体装置の集積化、小型化が困難になる。

その為第 2 図に示す如く、オーバーデザインを不要とした過電流保護回路付のドライバー回路も提案されている。第 2 図において、(1)は出力段トランジスタ、(2)はドライブ段トランジスタであり、ダーリントン接続されている。(3)と(4)はこれらトランジスタのバイアス抵抗、(8)は入力抵抗である。そして、この回路の過電流制限回路は、抵抗(5)、(6)及びトランジスタ(7)により構成されている。なお、(9)はドライバー回路の入力端子(V_{in})、(10)はその出力端子(V_o)、(11)は接地端子(GND)である。

次にこのドライバー回路の動作について概略説明する。いま入力端子(9)に所定の電圧(V_{in})が

入力すると、抵抗(3)、(4)、(6)、(8)等によりトランジスタ(1)、(2)の各ベースが所定の電圧にバイアスされる。これによりトランジスタ(1)、(2)がオンするので、出力端子(10)に所定の電圧を発生することができる。

次いでこのドライバー回路に過電流が流れたときの保護機能について説明する。出力段トランジスタ(1)に電流が流れると、抵抗(6)の両端に電圧降下が生じるが、過電流が流れるとその電圧降下が大きくなって抵抗(5)を介してトランジスタ(7)をオンさせるようになる。これにより、トランジスタ(2)のベース電位を下げることで、出力段トランジスタ(1)に流れる過電流を抑えることが可能となる。なお、抵抗(6)の抵抗値は、定常動作電流ではトランジスタ(7)をオンさせないが、所定の電流量を越えたとき（過電流）にはオンするように設定されている。

(a) 発明が解決しようとする課題

しかし、この従来の過電流保護回路付ドライバー回路によれば、通常動作状態でも抵抗(6)に

電圧降下が生じて出力段トランジスタ(1)のエミッタ電位が上昇するため、出力段トランジスタ(1)のドライブ電流が抑えられ、電力損失を招くという問題がある。

また、入力端子(9)には、電源投入時に、高い電圧ピークを有するラッシュ電圧が入力することがある。その場合にも、出力段トランジスタ(1)に大電流が流れ、該出力段トランジスタ(1)の劣化又は破壊を招くことがある。

本発明はかかる従来の問題点に鑑みて創作されたものであり、低電圧入力で十分なドライブ電流が得られ、かつ過電流による劣化又は破壊を防止することを可能とするドライバー回路の提供を目的とする。

(二) 課題を解決するための手段

本発明の第 1 のドライバー回路は、初段トランジスタと、出力段トランジスタとをダーリントン接続して成るドライバー回路において、前記出力段トランジスタとベース及びエミッタが共通接続され、前記出力段トランジスタのベース・エミッタ

接続領域の面積よりも小なるベース・エミッタ接続領域を有する検出トランジスタと、該検出トランジスタに流れる出力電流に応じて、前記初段トランジスタのベース入力を制御する制御回路とを備えることを特徴とする。

また本発明の第 2 のドライバー回路は、初段トランジスタと、出力段トランジスタとをダーリントン接続して成るドライバー回路において、エミッタが抵抗を介して初段トランジスタのベースに接続され、ベースが初段トランジスタのエミッタに接続された保護トランジスタを設け、該保護トランジスタのベース・エミッタ接続領域の面積を前記初段トランジスタのそれよりも大きくしたことを特徴とする。

(*) 作 用

本発明の第 1 のドライバー回路によれば、出力段トランジスタとベースを共通にする検出トランジスタが設けられている。ところで検出トランジスタのベース・エミッタ接続領域の面積は、出力段トランジスタのベース・エミッタ接続領域の面

特開平 2-135809 (3)

積に比べて小さく形成されているので、検出トランジスタのベース・エミッタ接合の順方向電圧は出力段トランジスタのベース・エミッタ接合の順方向電圧よりも高くなっている。このため通常動作時には、出力段及び検出トランジスタの共通ベースに電圧が印加されたとき、出力段トランジスタが先にオンして所定のドライブ電流が流れる。

いま出力負荷短絡やその他の原因により出力段トランジスタに過大な出力電流が流れたとする。このとき出力段トランジスタのベース電位は通常動作状態のベース電位よりも上昇するが、この電位が検出トランジスタのベース・エミッタ接合の順方向電圧を越えると、検出トランジスタもオンする。そして検出トランジスタに所定値以上の電流が流れると、制御回路は入力段トランジスタのベース電位を下げ、出力段トランジスタに過大電流が流れるのを抑制すべく機能する。

本発明の第 2 のドライバ回路によれば、エミッタが初段トランジスタのベースに接続され、

ベースが該初段トランジスタのエミッタに接続された保護トランジスタが設けられている。この保護トランジスタは入力段トランジスタとは相補関係をもっている。そして、保護トランジスタのベース・エミッタ接合領域の面積は入力段トランジスタのベース・エミッタ接合領域の面積よりも小さく形成しているため、保護トランジスタのベース・エミッタ接合の順方向電圧は入力段トランジスタのベース・エミッタ接合の順方向電圧よりも高い。このため通常動作時には、入力段トランジスタのベースに入力電圧が印加されたとき、同じ入力電圧が保護トランジスタのエミッタにも印加されるが、順方向電圧の差により入力段トランジスタが先にオンして所定の動作が行なわれる。

次に、入力段トランジスタのベースに通常の入力電圧よりも高いピーク値を有するラッシュ電圧が入力したとする。このラッシュ電圧により順方向電圧の低い入力段トランジスタが先ずオンし、次いで保護トランジスタが遅れてオンする。これ

により保護トランジスタに電流が流れると、入力段トランジスタのベース電位が下げられるから、入力段トランジスタのオン状態が浅くなる。このため出力段トランジスタに過大電流が流れるのを抑えることができる。

(ハ) 実施例

次に第 1 図を参照しながら本発明の実施例について説明する。第 1 図は本発明の実施例に係る過電流保護回路付ドライバ回路の構成図である。なお、本実施例回路には、出力短絡や外部から出力を介して出力段トランジスタに大電流が流れるのを防止する過電流防止回路と入力側からラッシュ電圧が入力したときに出力段トランジスタに大電流が流れるのを防止する過電流防止回路の双方が設けられている。

まず回路構成について説明すると、(12)は出力段の NPN トランジスタ、(13)は入力段の NPN トランジスタであり、ダーリントン接続されている。(14)と(15)はこれらトランジスタ(12)、(13)のベース動作電圧を設定するバイアス抵抗であ

る。また(16)は入力抵抗である。

出力負荷短絡等によって出力段の NPN トランジスタ(12)に過電流が流れるのを防止する過電流防止回路は、過電流検出用の NPN トランジスタ(17)、過電流検出伝達用の PNP トランジスタ(18)、プルアップ抵抗(19)及び制御用の NPN トランジスタ(20)、バイアス抵抗(21)、ノイズ制限抵抗(22)によって構成されている。ここで NPN トランジスタ(17)はベースを出力段の NPN トランジスタ(12)のベースと共通接続されており、また NPN トランジスタ(17)のベース・エミッタ接合領域の面積は出力段の NPN トランジスタ(12)のそれよりも小さく形成されている。例えば、面積比を 1 : 3.5 程度にする。これにより NPN トランジスタ(17)のベース・エミッタ間の順方向電圧は NPN トランジスタ(12)のそれよりも高い。また、プルアップ抵抗(19)と PNP トランジスタ(18)、プルダウン抵抗(21)、NPN トランジスタ(20)及びノイズ制限抵抗(22)は負帰還回路を構成し、NPN トランジスタ(17)にある数値以上の電

特開平2-135809 (4)

流が流れるとき初段のNPNトランジスタ(13)のベース電位を下げて出力段のNPNトランジスタ(12)に過電流が流れるのを防止する。

入力側にラッシュ電圧が入力したときに出力段のNPNトランジスタ(12)に過電流が流れるのを防止する過電流防止回路は、エミッタが抵抗(24)を介してNPNトランジスタ(13)のベースに接続され、ベースがNPNトランジスタ(13)のエミッタに接続され、コレクタが接地されているPNPトランジスタ(23)によって構成されている。そしてPNPトランジスタ(23)のベース・エミッタ接合領域の面積はNPNトランジスタ(13)のそれよりも小さく形成されている。例えば面積比を1:9程度にする。これによりPNPトランジスタ(23)のベース・エミッタ接合の順方向電圧はNPNトランジスタ(13)のそれよりも高くなる。なお、(25)は入力端子、(26)は出力端子、(27)は V_{cc} 電源端子(28)は接地端子である。

次に本発明の動作について説明する。まず、通常動作状態においては、入力端子(25)を介して所

定の入力電圧 V_{in} が印加される。これによりバイアス抵抗(14)、(15)を介して所定のベース電圧がダーリントン接続のNPNトランジスタ(12)、(13)の各ベースに印加されるので、出力端子(26)に所定の出力電流を得ることができる。このとき過電流検出用のNPNトランジスタ(17)のベースにも出力段のNPNトランジスタ(12)と同一のベース電圧が入力されるが、ベース・エミッタ間の順方向電圧が高いので該NPNトランジスタ(17)はオンしないか、少なくともオンの程度は極めて低い。このため抵抗(19)による電圧降下は過電流検出用途用のPNPトランジスタ(18)をオンさせるまでには至らない。同様に、ラッシュ電圧検出用のPNPトランジスタ(23)のベースにも入力段のNPNトランジスタ(13)と同一の電圧が印加されるが、この場合もベース・エミッタ間の順方向電圧が高いのでPNPトランジスタ(23)はオンしないか、オンしても抵抗(24)によりオンの程度は極めて低く抑えられている。従って通常動作に影響はない。

次に負荷短絡等により出力に過電流が流入した場合について考える。このときには過電流量に対応して出力段のNPNトランジスタ(12)のベース電位も上昇することになるので、過電流検出用のNPNトランジスタ(17)がオンする。このため抵抗(19)の電圧降下が大きくなってPNPトランジスタ(18)がオンし、従って制御用のNPNトランジスタ(20)もオンする。これにより初段のNPNトランジスタ(13)のベースを低下させることができるので、出力段のNPNトランジスタ(12)に流れる過電流を抑えることができる。なお、過電流量が大きいほど制御量も大きくなるので、過電流量の抑制の効果は大きい。

次いでラッシュ電圧が入力に印加した場合について考える。このときには初段のNPNトランジスタ(13)のベース電位が上昇するので、PNPトランジスタ(23)がオンし、初段のNPNトランジスタ(13)のベース電位を下げるができる。このときもラッシュ電圧が大きいとそれに応じてNPNトランジスタ(23)が深くオンして電流を流す

ので、ベース電位低下の効果は大きい。

(イ) 発明の効果

以上説明したように、本発明の第1のドライバー回路によれば、ドライバー回路の本来のドライバー機能を損なうことなく、負荷短絡等による過電流を効果的に抑制することが可能となる。これにより、素子の劣化や破壊を防止することができる。

また本発明の第2のドライバー回路によれば、ドライバー回路の本来のドライバー機能を損なうことなく入力からのラッシュ電圧による過電流を効果的に抑制することが可能となり、素子の劣化や破壊を防止することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示す回路図、及び第2図は従来のドライバー回路を示す回路図である。

(12)…出力段トランジスタ、(13)…入力段トランジスタ、(17)…過電流検出トランジスタ、(20)…制御用トランジスタ、(23)…PNPトラ

特開平 2-135809 (5)

ンジスタ。

出願人 三洋電機株式会社
代理人 弁理士 西野 卓 朗 外 1 名

